

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-214335

(43)Date of publication of application : 15.08.1997

(51)Int.Cl.

H03L 7/10

(21)Application number : 08-037096

(71)Applicant : NIPPON TELEGR & TELEPH CORP <NTT>

(22)Date of filing : 01.02.1996

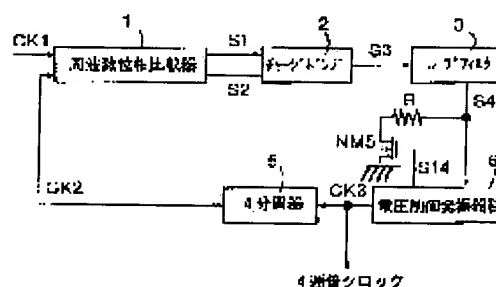
(72)Inventor : SHIYUDOU HIROKI
YAMAKOSHI KOYO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To unnecessitate the provision of any new external select signal by applying plural voltage controlled oscillators(VCO), for which an oscillation frequency can be varied by a control voltage and various control voltage/oscillation frequency characteristics are provided, to a phase locked loop(PLL) circuit.

SOLUTION: When an output signal S14 of a VCO group 6 is a high potential, an N channel MOS transistor NM5 is turned on, and the potential of a signal S4 is set by a serial connection circuit composed of a resistor R and the transistor NM5. The VCO group 6 is composed of a semiconductor integrated circuit provided with plural VCO having various control voltage/oscillation frequency characteristics and corresponding to the voltage value of the control signal S4, any one specified oscillator can be selected. By applying such a group of plural VCO to the PLL circuit, the required VCO can be automatically selected and it is not necessary to provide any new external select signal.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-214335

(43) 公開日 平成9年(1997)8月15日

(51) Int.Cl.⁶

H 0 3 L 7/10

識別記号

序内整理番号

F I

H 0 3 L 7/10

技術表示箇所

Z

審査請求 未請求 請求項の数 2 F D (全 8 頁)

(21) 出願番号

特願平8-37096

(22) 出願日

平成8年(1996)2月1日

(71) 出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72) 発明者 首藤 啓樹

東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

(72) 発明者 山越 公洋

東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

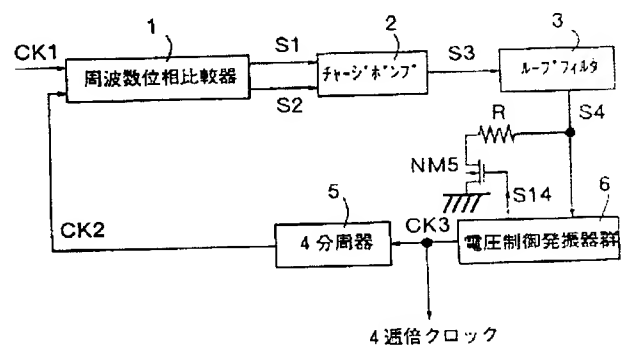
(74) 代理人 弁理士 長尾 常明

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 異なる V-F 特性の電圧制御発振器を複数個用いて広帯域の PLL 回路を実現する際に、希望する発振周波数に応じて自動的に電圧制御発振器が選択されるようにする。

【解決手段】 信号 S 4 の変化の履歴により 4 個の電圧制御発振器の中から 1 個を選択するセクタ回路 4 1 7 と、電圧制御発振器の選択状態が変化するとき、前記信号 S 4 を所定の電圧にセットするトランジスタ MN 5 と抵抗 R を設けた。



1

【特許請求の範囲】

【請求項1】制御電圧により発振周波数が可変であり、且つ、該発振周波数が順次大きく又は小さくなる第1から第NまでのN個の電圧制御発振器を有し、前記N個の電圧制御発振器に前記制御電圧が共通に与えられる半導体集積回路において、

前記制御電圧の可変電圧範囲内に第1の閾値電圧および該第1の閾値電圧より大きな値の第2の閾値電圧を設定し、前記制御電圧が前記第1の閾値電圧以上から未満に変化する回数および／又は前記第2の閾値電圧未満から以上に変化する回数により制御され、前記N個の電圧制御発振器の内から特定の電圧制御発振器を選択するセレクト回路と、

前記電圧制御発振器の選択状態が変化する際に、前記制御電圧の値を前記第1の閾値電圧よりは高く、且つ、前記第2の閾値電圧よりは低い値に一時的に設定する手段とを備えたことを特徴とする半導体集積回路。

【請求項2】前記セレクト回路が、前記制御電圧が前記第1の閾値電圧より小さい場合には、第M ($2 \leq M \leq N$) から第(M-1)の電圧制御発振器を選択するよう
20 に出力を遷移させ、第2の閾値電圧より大きい場合には、第M' ($1 \leq M' \leq N-1$) から第(M'+1)の電圧制御発振器を選択するように出力を遷移させることを特徴とする請求項1に記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタル電圧制御発振器を内蔵したPLL (Phase Locked Loop) 回路、特に広い発振周波数帯域を必要とするPLL回路に好適

$$K_o < (N \cdot f_i) / V_{dd}$$

【0006】上記式(1)の条件を満足し、且つ広範囲の電圧制御発振器を設計することは可能ではあるが、難しい。そこで、異なる制御電圧-発振周波数特性を有する電圧制御発振器を複数個用いて、得るべき希望の発振周波数に応じて外部信号により電圧制御発振器を選択する方法が提案されている。

【0007】この方法では、複数個の電圧制御発振器がそれぞれ異なる周波数範囲を受け持ち、各々の電圧制御発振器の周波数可変範囲は狭いが全体では広い周波数範囲となる。各々の電圧制御発振器の周波数可変範囲が狭いため、各々の電圧制御発振器のゲインは小さくなり、上記した式(1)を満足させることは容易である。

【0008】このように、複数個の電圧制御発振器を外部信号により選択し、クロックを発生する4通倍回路の一例を図5に示す。1は周波数位相比較器、2はチャージポンプ、3はループフィルタ、4は異なる制御電圧-発振周波数特性を有する実質的な4個の電圧制御発振器からなる電圧制御発振器群、5は4分周器である。以上によりPLL回路からなる4通倍回路が構成される。

【0009】ここでは、周波数位相比較器1で外部クロ

2

な半導体集積回路に関するものである。

【0002】

【従来の技術】近年、各種プロセッサの開発が進められており、動作周波数が100MHz以上のタイプも出現している。ところが、高速化に伴いインターフェース速度の問題や半導体チップ間のクロック位相の問題が顕著となってきている。

【0003】前者に対しては、通倍回路を用いることにより、インターフェース速度は従来のどおりで内部処理速度を向上させる手法が採用されている。また、後者に対しては、PLL回路を用いることにより、各チップ間のクロック位相差を低減させることが1つの対処方法である。クロック通倍回路は、PLL回路を応用したものであり、以上の観点からPLL回路を大規模デジタル回路に内蔵するケースが増しつつある。

【0004】ところで、素子の微細化によりLSI内部で使用するクロックは今後さらに高速化の一途をたどるため、PLL回路により発生するクロック周波数は高くなる傾向にあるが、同時にLSIのテストを行なう場合にはテストの動作速度の制約から、低い周波数のクロックを使用する場合がある。したがって、PLL回路は比較的低周波からLSIの動作限界までの高い周波数のクロックを安定して発生させる必要がある。

【0005】PLL回路を応用したN通倍クロック発生回路が安定してクロックを発生する条件を次の(1)式に示す。ただし、 K_o は電圧制御発振器(電圧制御周波数可変発振器、以下同じ。)のゲイン(Hz/V)、Nは通倍数、 f_i は入力クロックの周波数(Hz)、 V_{dd} は電源電圧(V)である。

$$\dots (1)$$

ック信号CK1と内部クロック信号CK2を比較した結果に基づいて、出力信号S1、S2を発生する。信号S1は外部クロック信号CK1の内部クロック信号CK2に対する位相の進み量を示す信号であり、信号S2は内部クロック信号CK2の外部クロック信号CK1に対する位相の進み量を示す信号である。これらの信号S1、S2はチャージポンプ2に入力される。このチャージポンプ2の出力信号S3は、ループフィルタ3に入力してそこで高周波成分が除去された後、電圧制御発振器群4の制御電圧S4として、その電圧制御発振器群4に入力する。信号S5、S6、S7、S8は電圧制御発振器群4内の4個の電圧制御発振器から1個の電圧制御発振器を選択するための外部信号である。電圧制御発振器群4の出力クロック信号CK3は4分周器5で4分周され、内部クロック信号CK2となる。

【0010】このPLL回路では、クロック信号CK1とCK2の周波数と位相が一致するように動作したときロックして、電圧制御発振器群4から得られるクロック信号CK3の周波数が外部クロックCK1の4倍とな

3

【0011】ここで、電圧制御発振器群4の内部回路の構成の一例を図6に示す。なお、この例では、回路構成の一部を共通にして他を切り替えることにより、実質的に4個の電圧制御発振器から1個を選択できるようにしている。この電圧制御発振器群4は、制御電圧発生回路401と、発振器本体402とからなる。制御電圧発生回路401はループフィルタ3から出力する制御信号S4を取り込んで、制御信号S9を発生する。この信号S9は、発振器本体402の電流を制御する信号である。

【0012】発振器本体402は、この制御信号S9に基づいて遅延時間が決まる遅延時間可変回路403～411、トランスファゲート412～415およびインバータ416を有する。トランスファゲート412は、PチャネルMOSトランジスタMP1、NチャネルMOSトランジスタMN1、インバータ等から構成されて外部信号S5によりオン/オフを制御され、トランスファゲート413はPチャネルMOSトランジスタMP2、NチャネルMOSトランジスタMN2、インバータ等から構成されて外部信号S6によりオン/オフを制御され、トランスファゲート414は、PチャネルMOSトランジスタMP3、NチャネルMOSトランジスタMN3、インバータ等から構成されて外部信号S7によりオン/オフを制御され、トランスファゲート415はPチャネルMOSトランジスタMP4、NチャネルMOSトランジスタMN4、インバータ等から構成されて外部信号S8によりオン/オフを制御される。

【0013】遅延時間可変回路403～411のそれぞれの出力信号は終段の遅延時間可変回路411を除き、次段の遅延時間可変回路の入力信号となる。また、遅延時間可変回路405の出力信号はトランスファゲート412の入力信号となり、遅延時間可変回路407の出力信号はトランスファゲート413の入力信号となり、遅延時間可変回路409の出力信号はトランスファゲート414の入力信号となり、遅延時間可変回路411の出力信号はトランスファゲート415の入力信号となる。これらのトランスファゲート412～415の出力は共通接続されてインバータ416の入力信号となる。このインバータ416の出力信号は遅延時間可変回路403の入力信号であり、またこの電圧制御発振器群4の出力信号としてのクロック信号CK3でもある。この図6に示した例では、遅延時間可変回路を符号403～411で示すように9個用意しているが、個数は必要とする周波数により定まる。

【0014】図7はこの電圧制御発振器群4の制御信号S4の電圧に対する発振周波数特性を示す図である。ただし、特性Aは図6における外部信号S5が高電位(H)、外部信号S6、S7、S8が低電位(L)のとき選択される特性であり、特性Bは外部信号S6が高電位(H)、外部信号S5、S7、S8が低電位(L)のとき選択される特性であり、特性Cは外部信号S7が高

4

電位(H)、外部信号S5、S6、S8が低電位(L)のとき選択される特性であり、特性Dは外部信号S8が高電位(H)、外部信号S5、S6、S7が低電位(L)のとき選択される特性である。周波数 $f_1 \sim f_8$ は、

$$f_1 < f_2 < f_3 < f_4 < f_5 < f_6 < f_7 < f_8$$

の関係にある。

【0015】特性Aの場合は、図6におけるトランスファゲート412のみがオンし、他のトランスファゲート413～415はオフするため、遅延時間可変回路403～405の3段で主に発振周波数が決まる。この場合、電圧制御発振器群4では、 $f_6 \sim f_8$ の範囲の周波数信号を発生する。

【0016】特性Bの場合は、図6におけるトランスファゲート413のみがオンし、他のトランスファゲート412、414～415はオフするため、遅延時間可変回路403～407の5段で主に発振周波数が決まる。この場合、電圧制御発振器群4は、 $f_4 \sim f_7$ の範囲の周波数信号を発生する。

【0017】特性Cの場合は、図6におけるトランスファゲート414のみがオンし、他のトランスファゲート412、413、415はオフするため、遅延時間可変回路403～409の7段で主に発振周波数が決まる。この場合、電圧制御発振器群4は、 $f_2 \sim f_5$ の範囲の周波数信号を発生する。

【0018】特性Dの場合は、図6におけるトランスファゲート415のみがオンし、他のトランスファゲート412～414はオフするため、遅延時間可変回路403～411の9段で主に発振周波数が決まる。この場合、電圧制御発振器群4では、 $f_1 \sim f_3$ の範囲の周波数信号を発生する。したがって、以上から、この電圧制御発振器群4の発振周波数範囲は $f_1 \sim f_8$ となる。

【0019】

【発明が解決しようとする課題】このように異なる制御電圧—発振周波数特性の複数の電圧制御発振器を用いて所望の発振周波数に応じて外部信号により電圧制御発振器を選択する方法を用いると、広帯域で且つ前記式

(1)を満足する電圧制御発振器の設計が容易となり、広帯域PLL回路を実現できるが、複数の電圧制御発振器の内から所望のものを選択するために、新たに外部信号S5～S8が必要となってくるという問題がある。

【0020】本発明の目的は、異なる制御電圧—発振周波数特性を有する電圧制御発振器を複数個用いて広帯域のPLL回路を実現する際に、希望する発振周波数に応じて自動的に必要となる電圧制御発振器が選択され、新たな外部信号を必要としないようにすることである。

【0021】

【課題を解決するための手段】この目的を達成するための第1の本発明は、制御電圧により発振周波数が可変であり、且つ、該発振周波数が順次大きく又は小さくなる

5

第1から第NまでのN個の電圧制御発振器を有し、前記N個の電圧制御発振器に前記制御電圧が共通に与えられる半導体集積回路において、前記制御電圧の可変電圧範囲内に第1の閾値電圧および該第1の閾値電圧より大きな値の第2の閾値電圧を設定し、前記制御電圧が前記第1の閾値電圧以上から未満に変化する回数および／又は前記第2の閾値電圧未満から以上に変化する回数により制御され、前記N個の電圧制御発振器の内から特定の電圧制御発振器を選択するセクタ回路と、前記電圧制御発振器の選択状態が変化する際に、前記制御電圧の値を前記第1の閾値電圧よりは高く、且つ、前記第2の閾値電圧よりは低い値に一時的に設定する手段とを備えたことを特徴とする半導体集積回路として構成した。

【0022】第2の発明は、第1の発明において、前記セクタ回路が、前記制御電圧が前記第1の閾値電圧より小さい場合には、第M ($2 \leq M \leq N$) から第(M-1)の電圧制御発振器を選択するように出力を遷移させ、且つ、第2の閾値電圧より大きい場合には、第M' ($1 \leq M' \leq N-1$) から第(M'+1)の電圧制御発振器を選択するように出力を遷移させることを特徴とする半導体集積回路として構成した。

【0023】

【発明の実施の形態】

【第1の実施の形態】図1は本発明の第1の実施の形態を説明するためのPLL回路を利用した4通倍回路のブロック図である。前述した図5におけるものと同一のものには同一の符号を付した。6は電圧制御発振器群、NM5はNチャネルMOSトランジスタ、Rは抵抗である。電圧制御発振器群6の出力信号S14が高電位(H)のとき、NチャネルMOSトランジスタNM5がオンして抵抗RとこのトランジスタNM5からなる直列接続回路により、ループフィルタ3の出力信号S4の電流が引き抜かれ、信号S4のラインの電位が後記する基準電圧Vref1とVref2との間の範囲内の電圧に設定される。

【0024】図2に電圧制御発振器群6のブロック図を示す。前述の図6で説明した電圧制御発振器群4におけるものと同一のものには同一の符号を付して詳しい説明は省略する。417はセクタ回路であって、制御電圧発生回路401に入力する信号S4が、このセクタ回路417にも同時に入力する。このセクタ回路417の出力信号S10は、トランスファゲート412のオン／オフ制御信号、出力信号S11はトランスファゲート413のオン／オフ制御信号、出力信号S12はトランスファゲート414のオン／オフ制御信号、出力信号S13はトランスファゲート415のオン／オフ制御信号となる。さらに、これら信号S10～S13が変化した場合、図1の外部クロックCK1の数サイクル期間のみ、出力信号S14が高電位(H)となり、前記したように信号S4の電位を基準電圧Vref1とVref2との間の

6

範囲内の電圧に設定する。

【0025】図3にこのセクタ回路417の内部回路の一例を示した。418は閾値電圧Vref1をもつ電圧比較器、419は閾値電圧Vref2 ($> Vref1$)をもつ電圧比較器である。一方の電圧比較器418は、入力する制御信号S4の電圧が閾値電圧Vref1より低いとき出力信号S15を高電位(H)に、高いとき低電位(L)に設定する。また、他方の電圧比較器419は、入力する制御信号S4の電圧が閾値電圧Vref2より低いとき出力信号S15を高電位(H)に、高いとき低電位(L)に設定する。

【0026】420は信号S15、S16ともに低電位(L)のとき信号S17を高電位(H)にし、その他のとき低電位(L)に設定するNORゲート、421は信号S15、S16ともに高電位(H)のとき信号S18を高電位(H)に設定し、その他のとき低電位(L)に設定するANDゲート、422、423は2ビットアップカウンタ、424はカウンタ422の出力カウント値S19からカウンタ423の出力カウント値S20を減算する減算器である。

【0027】425は減算器424から入力するカウント値S21が「3」のとき出力信号S10～S13の内のS10のみを高電位(H)にし、入力するカウント値が「2」のとき出力信号S11のみを高電位(H)にし、入力するカウント値が「1」のとき出力信号S12のみを高電位(H)にし、入力するカウント値が「0」のとき出力信号S13のみを高電位(H)に設定するデコーダである。

【0028】このような動作特性を有するセクタ回路417を、図2に示したように、電圧制御発振器群6に適用すると、制御信号S4の電圧値によりトランスファゲート412～415の内の1つのみがオンして、異なる制御電圧－発振周波数特性を有する4個の電圧制御発振器の内から、外部クロックCK1の周波数の4倍の周波数に応じた所望の1個が自動的に選択されることになる。

【0029】以上のように、異なる制御電圧－発振周波数特性を有する4個の電圧制御発振器を含む半導体集積回路において、従来では外部信号により電圧制御発振器の1個を選択していたが、本実施の形態では、電圧制御発振器を制御すべき制御電圧S4の履歴により出力信号S10～S13を発生するセクタ回路417を付加することにより、4個の電圧制御発振器のなかから所望の1個を自動的に選択することができるのである。

【0030】さらに、セクタ回路417により選択状態が変化したとき、信号S14が一時的に高電位(H)になって、強制的に信号S4の電位が図4に示す閾値電圧Vref1より高くVref2により低い値に設定されるため、NORゲート420、ANDゲート421の出力が一旦低電位(L)に復帰するので、異なる制御電圧－発

振周波数特性を有する電圧制御発振器群6の選択状態が、誤動作することを防止できる。

【0031】図4は本実施の形態の電圧制御発振器群6の制信信号S4の電圧に対する発振周波数特性を示す特性図である。特性Eは出力信号S10のみが高電位

(H)のとき、特性Fは出力信号S11のみが高電位

(H)のとき、特性Gは出力信号S12のみが高電位

(H)のとき、特性Hは出力信号S13のみが高電位

(H)のときの発振周波数である。なお、周波数 $f_1 \sim f_8$ は、

$$f_1 < f_2 < f_3 < f_4 < f_5 < f_6 < f_7 < f_8$$

の関係にある。

【0032】まず、所望の発振周波数、つまり入力する外部クロックCK1の周波数の4倍の周波数 f_{osc} が、 $f_1 < f_{osc} < f_2$

の場合について述べる。図1の4連倍回路が動作を開始してロックするまでの状況は、負帰還回路のダンピングファクタによるめー義的には定まらない。

【0033】しかし、図4に示した特性Hのみでロックする場合、すなわち、制御信号S4の電圧が閾値電圧 V_{ref1} と閾値電圧 V_{ref2} の間の範囲から外れない場合は、NORゲート420、ANDゲート421の出力信号S17、S18が高電位(H)になることはなく、カウンタ422、423がカウント動作することはない、セクタ回路417の出力信号S10～S13の状態が初期状態(信号S13のみが高電位(H))から変化しない。

【0034】また、図4の上記した特性Hから特性Gへ遷移し、再度特性Hへ遷移して、最終的にロックされる場合には次のような動作となる。すなわち、特性Hにおいて制御電圧S4が閾値電圧 V_{ref2} を越え、NORゲート420の出力信号S17が高電位(H)となり、カウンタ422の出力値S19、減算器424の出力値S21が1だけアップするので、デコーダ425では出力信号S13のみが高電位(H)の状態から出力信号S12のみが高電位(H)に切り替わり、特性Gに遷移する。この切り替わり時、信号S14が一時的に高電位(H)となって、制御信号S4が閾値電圧 V_{ref1} と閾値電圧 V_{ref2} の間の範囲の電圧に一時的に復帰するので、NORゲート420の出力信号S17が高電位(H)から低電位(L)に変化する。

【0035】このようにして特性GによるPLL制御が行なわれると、今度は制御電圧S4が閾値電圧 V_{ref1} 以下となり、ANDゲート421の出力信号S18が高電位(H)となって、カウンタ423が1だけアップカウントし、減算器424の出力信号S121が1だけ減少するので、デコーダ425では出力信号S12のみが高電位(H)の状態から出力信号S13のみが高電位

(H)に切り替わり、特性Hに遷移する。すなわち、以上のように、セクタ回路417の出力信号S10～S

13の状態が、それぞれL→L→L、L→L→L、L→H→L、H→L→Hと変化する場合があり得るが、最終的には必ず特性Hでロックする。

【0036】次に、所望の発振周波数、つまり外部クロックCK1の周波数の4倍の周波数 f_{osc} が、

$$f_2 < f_{osc} < f_3$$

についても同様であり、最終的に特性Hでロックする。

【0037】以上のようにして、例えば、現在特性Hにロックしている状態、または初期状態(電源投入直後)

10で、所望の発振周波数 f_{osc} を

$$f_5 < f_{osc} < f_7$$

にするべく外部クロックCK1の周波数を設定すると、例えば、特性H→特性G→特性Fに切り替わり、最終的に特性Fにロックする。

【0038】逆に、例えば、現在特性Fにロックしている状態で所望の発振周波数 f_{osc} を

$$f_1 < f_{osc} < f_2$$

にするべく外部クロックCK1の周波数を切り替えると、例えば、特性F→特性G→特性Hに切り替わり、最終的に特性Hにロックする。

【0039】[他の実施の形態]なお、上記の実施の形態では、異なる制御電圧-発振周波数特性を有する4個の電圧制御発振器を含む場合について説明したが、2以上の任意個数の電圧制御発振器を含む場合について同様に4連倍回路を構成することもできる。また、上記の実施の形態では、図4に示したように、制御信号S4の電圧の電位が高くなると発振周波数が高くなるような特性の電圧制御発振器を使用した、反対の動作特性、つまり制御信号S4の電圧の電位が高くなると発振周波数が低くなるような特性の電圧制御発振器を使用することもできる。この場合、閾値電圧 V_{ref1} 、 V_{ref2} をそのまま使用すると、信号S4の電圧が閾値電圧 V_{ref1} 未満になるとPLLロックする特性が現在の特性より周波数の高い特性に切り替わり、閾値電圧 V_{ref2} 以上になると周波数の低い特性に切り替わるようになる。

【0040】

【発明の効果】以上から本発明によれば、異なる制御電圧-発振周波数特性を有する複数の電圧制御発振器を用いた場合において、PLL回路に適用することにより、所望の発振周波数に応じて自動的に必要となる電圧制御発振器が選択されるので、複数の電圧制御発振器の中から所望のものを選択するための外部信号を設ける必要がないという利点がある。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態のPLL回路からなる4連倍回路のブロック図である。

【図2】 図1における4連倍回路の内部の電圧制御発振器群を具体化した回路図である。

【図3】 図2における電圧制御発振器群の内部のセクタ回路を具体化した回路図である。

【図4】 図2における電圧制御発振器群の制御特性図である。

【図5】 従来のPLL回路からなる4通倍回路のブロック図である。

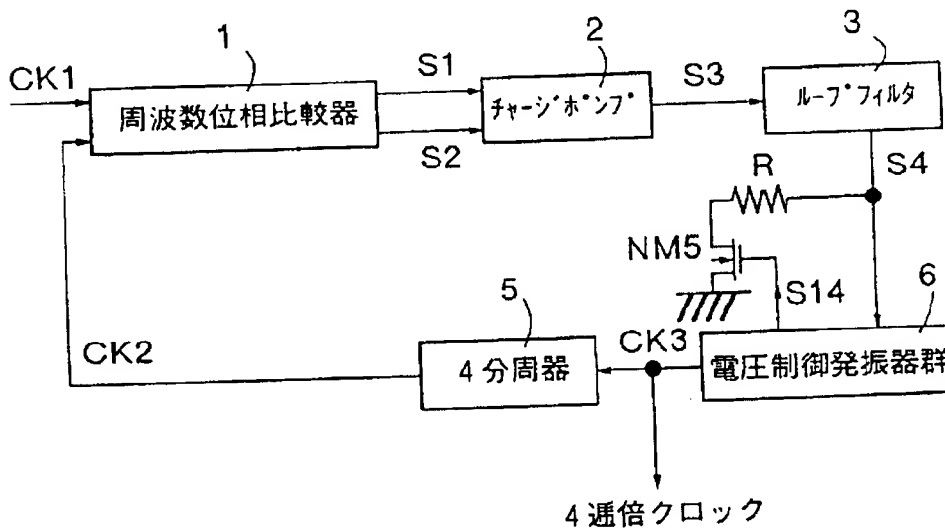
【図6】 図5における4通倍回路の内部の電圧制御発振器群を具体化した回路図である。

【図7】 図6における電圧制御発振器群の制御特性図である。

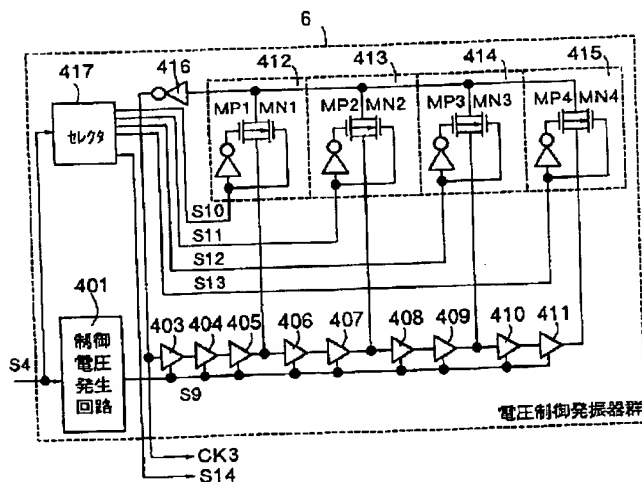
【符号の説明】

1：周波数比較器、2：チャージポンプ、3：ループフィルタ、4：電圧制御発振器群、5：4分周回路、6：電圧制御発振器群、401：制御電圧発生回路、402：発振器本体、403～411：遅延時間可変回路、412～414：トランスファゲート、416：インバータ、417：セクタ回路、418、419：電圧比較器、420：NORゲート、421：ANDゲート、422、423：2ビットアップカウンタ、424：減算器、425：デコーダ、4：減算器、425：デコーダ。

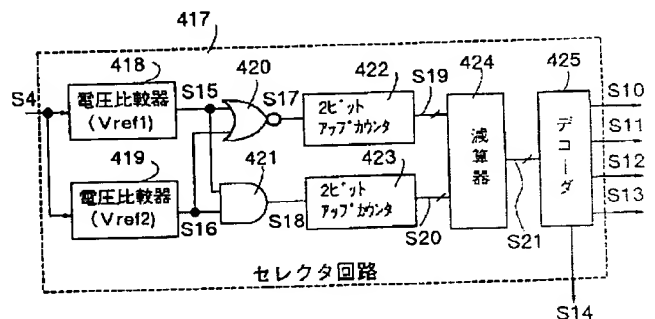
【図1】



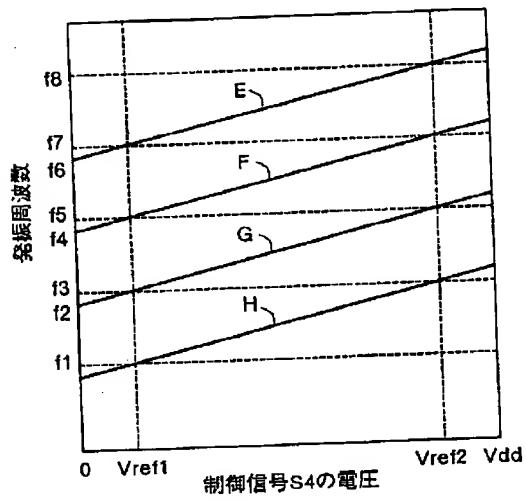
【図2】



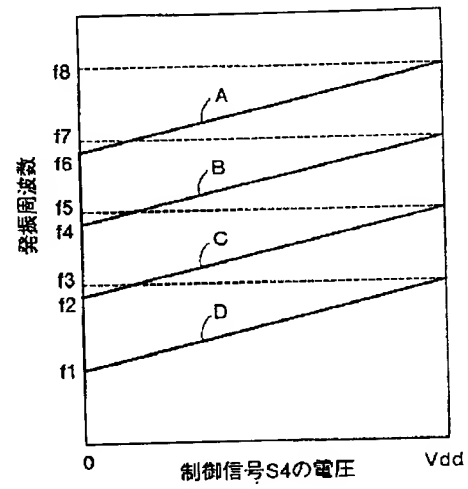
【図3】



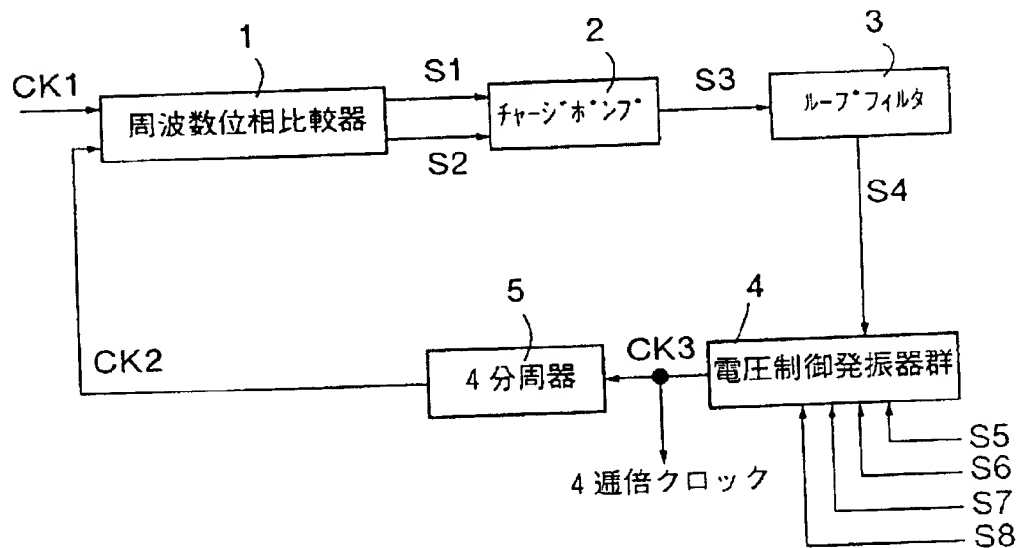
【図 4】



【図 7】



【図 5】



【図 6】

